

单通道、高速、低侧栅极驱动芯片

主要特点

- 低成本栅极驱动芯片，提供 NPN 和 PNP 离散解决方案的高品质替代产品
- 4A 峰值拉电流和灌电流对称驱动
- 低传播延迟：13ns（典型值）
- 快速上升和下降时间：8ns 和 7ns（典型值）
- TTL 和 CMOS 兼容逻辑阈值（与电源电压无关）
- 双输入设计（选择反相（IN- 管脚）或者同相（IN+ 管脚）配置）
- 工作温度范围：-40°C 至 125°C

应用

- 开关模式电源
- 直流到直流转换器
- 针对数字电源控制器的伴随栅极驱动器
- 太阳能、电机控制、不间断电源 (UPS)
- 宽带隙电源器件（例如 GaN）的栅极驱动器

产品简述

MS30516D/MS30517S 是单通道、高速、低侧栅极驱动芯片，能够有效地驱动 MOSFET 和 IGBT 开关。芯片的设计能够大大减少击穿电流，MS30516D/MS30517S 能够提供高峰值拉、灌电流脉冲，同时提供了轨到轨驱动能力以及低传播延迟（典型值为 13ns）。MS30516D/MS30517S 能够承受 -5V 电压输入。

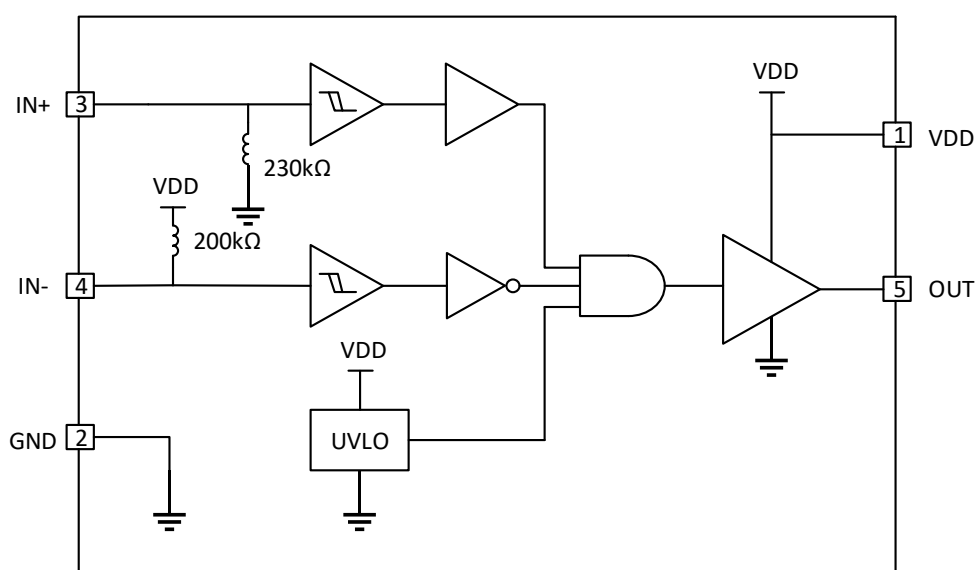
产品规格分类

产品	封装形式	丝印名称
MS30516D	DFN6	30516
MS30517S	SOT23-5	30517
*MS30517SA	SOT23-5	30517

*暂未提供此封装。

若有需要，请联系杭州瑞盟销售中心

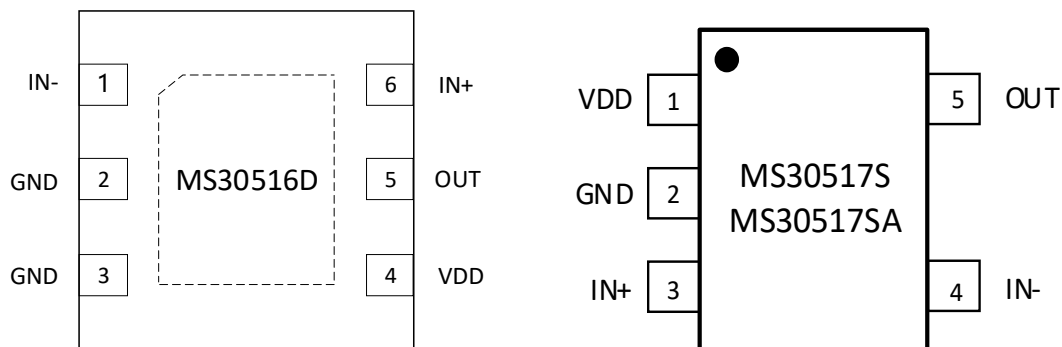
内部框图



目录

1. 主要特点	1
2. 产品简述	1
3. 应用	1
4. 产品规格分类	1
5. 内部框图	1
6. 目录	2
7. 管脚图	3
8. 管脚说明	3
9. 极限参数	4
10. 推荐工作条件	4
11. 电气参数	5
12. 功能描述	8
12.1 概述	8
12.2 VDD 和UVLO	9
12.3 工作电源电流	9
12.4 输入级	9
12.5 使能功能	10
12.6 输出级	10
12.7 低传播延迟	10
12.8 功能模式	10
13. 典型应用图	11
14. 封装外形图	13
15. 印章与包装规范	15
16. 声明	16
17. MOS电路操作注意事项	17

管脚图



管脚说明

MS30516D

管脚编号	管脚名称	管脚属性	管脚描述
1	IN-	I	反相输入。在反相配置下工作时，将 PWM 控制信号施加于此管脚。在同相配置下工作时，将 IN- 连接到 GND 以使能输出，如果 IN-接高电平或悬空，则 OUT 保持低电平
2, 3	GND	-	地
4	VDD	-	电源
5	OUT	O	输出
6	IN+	I	同相输入。在同相配置下工作时，将 PWM 控制信号施加于此管脚。在反相配置下工作时，将 IN+ 连接到 VDD 以使能输出，如果 IN+接低电平或悬空，则 OUT 保持低电平

MS30517S/MS30517SA

管脚编号	管脚名称	管脚属性	管脚描述
1	VDD	-	电源
2	GND	-	地
3	IN+	I	同相输入。在同相配置下工作时，将 PWM 控制信号施加于此管脚。在反相配置下工作时，将 IN+ 连接到 VDD 以使能输出，如果 IN+接低电平或悬空，则 OUT 保持低电平
4	IN-	I	反相输入。在反相配置下工作时，将 PWM 控制信号施加于此管脚。在同相配置下工作时，将 IN- 连接到 GND 以使能输出，如果 IN-接高电平或悬空，则 OUT 保持低电平
5	OUT	O	输出

极限参数

芯片使用中，任何超过极限参数的应用方式会对器件造成永久的损坏，芯片长时间处于极限工作状态可能会影响器件的可靠性。极限参数只是由一系列极端测试得出，并不代表芯片可以正常工作在此极限条件下。

参数		符号	额定值	单位
电源电压		V_{DD}	-0.3 ~ +20	V
输出电压	DC		-0.3 ~ $V_{DD} + 0.3$	V
	小于 200ns 的 重复脉冲		-2 ~ $V_{DD} + 0.3$	V
输出连续电流		I_{OUT_DC} (拉/灌)	0.3	A
输出脉冲电流(0.5s)		I_{OUT_pulsed} (拉/灌)	4	A
输入电压 ¹		$IN+, IN-$	-5 ~ 20	V
最大结温		T_{JMAX}	150	°C
存储温度		T_{STG}	-65 ~ 150	°C
ESD (HBM)		V_{HBM}	±7000	V

注1：输入管脚上的最大电压不受VDD管脚上的电压限制。

推荐工作条件

参数	符号	最小值	典型值	最大值	单位
电源电压	V_{DD}	4.5	12	18	V
逻辑输入	$IN+, IN-$	0		18	V
工作温度	T_A	-40		125	°C

电气参数

除非另外说明, $V_{DD} = 12V$, $4.7\mu F$ 电容接于 V_{DD} 和 GND , $T_A = 25^\circ C$ 。

参数	符号	测试条件	最小值	典型值	最大值	单位	
电源电流							
启动电流	I _{DD(OFF)}	V _{DD} = 3.4V	IN+= V _{DD} , IN- = GND	40	70	120	μA
			IN+ = IN-= GND 或 IN+= IN-= V _{DD}	25	60	100	
			IN+ = GND, IN-= V _{DD}	20	45	85	
欠压保护(UVLO)							
电源启动阈值	V _{ON}			4	4.4	V	
上电后的最小工作电压	V _{OFF}		3.2	3.6		V	
电源电压迟滞	V _{DD_H}			0.4		V	
输入 (IN+, IN-)							
输入信号高电平阈值	V _{IN_H}	IN+ 管脚输出高电平, IN- 管脚输出低电平		2	2.4	V	
输入信号低电平阈值	V _{IN_L}	IN+ 管脚输出低电平, IN- 管脚输出高电平	1	1.4		V	
输入信号迟滞	V _{IN_HYS}			0.6		V	
拉/灌电流							
拉、灌电流峰值 ¹	I _{SRC/SNK}	C _{LOAD} = 0.22μF, f _{SW} = 1 kHz		±4		A	
输出 (OUT)							
高电平输出电压	V _{DD} -V _{OH}	V _{DD} = 12V, I _{OUT} = -10mA		40		mV	
		V _{DD} = 4.5V, I _{OUT} = -10mA		50			
低电平输出电压	V _{OL}	V _{DD} = 12V, I _{OUT} = 10mA		4.5		mV	
		V _{DD} = 4.5V, I _{OUT} = 10mA		5			
输出上拉电阻 ²	R _{OH}	V _{DD} = 12V, I _{OUT} = -10mA		4		Ω	
		V _{DD} = 4.5V, I _{OUT} = -10mA		5			
输出下拉电阻	R _{OL}	V _{DD} = 12V, I _{OUT} = 10mA		0.45		Ω	
		V _{DD} = 4.5V, I _{OUT} = 10mA		0.5			

注: 1. 通过设计确保。

2. R_{OH} 表示 MS30516D/MS30517S 输出级上拉结构中的 P 沟道 MOSFET 的导通电阻。

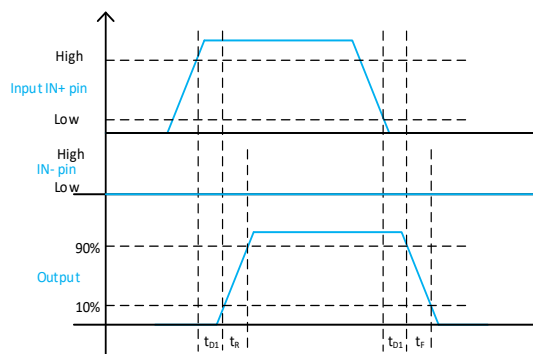
开关特性

参数	符号	测试条件	最小值	典型值	最大值	单位
转换时间						
上升时间	t_R	$V_{DD} = 12V, C_{LOAD} = 1.8nF$		8		ns
		$V_{DD} = 4.5V, C_{LOAD} = 1.8nF$		16	22	
下降时间	t_F	$V_{DD} = 12V, C_{LOAD} = 1.8nF$		7		ns
		$V_{DD} = 4.5V, C_{LOAD} = 1.8nF$		7	15	
IN+ 至输出的传播延迟	t_{D1}	$V_{DD} = 12V, C_{LOAD} = 1.8nF$ 5V 输入脉冲,		13		ns
		$V_{DD} = 4.5V, C_{LOAD} = 1.8nF$ 5V 输入脉冲		15	26	
IN- 至输出的传播延迟	t_{D2}	$V_{DD} = 12V, C_{LOAD} = 1.8nF$		13		ns
		$V_{DD} = 4.5V, C_{LOAD} = 1.8nF$		19		

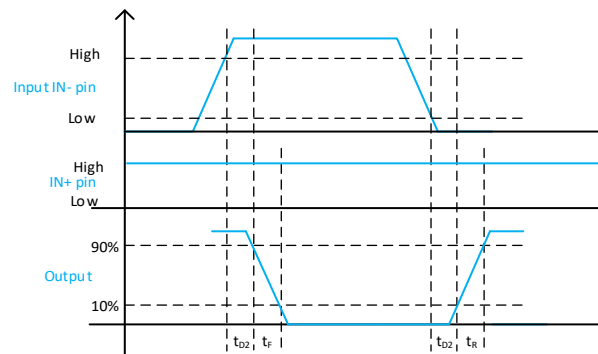
时序

同相功能：PWM 输入接 IN+脚（IN-脚接地）

反相功能：PWM 输入接 IN-脚（IN+脚接 VDD）



同相功能

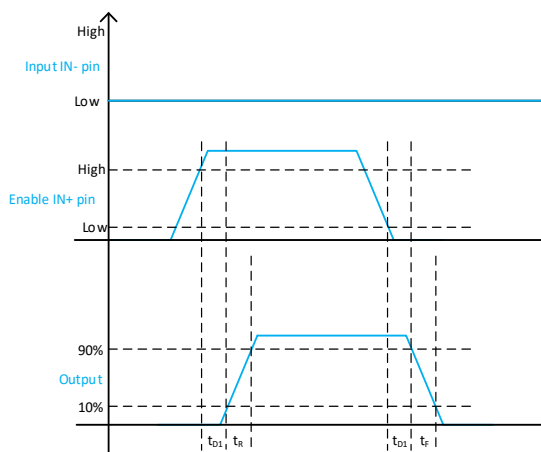


反相功能

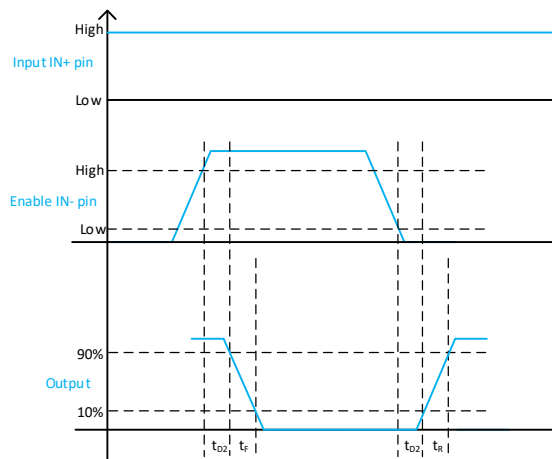
使能和禁用功能

使能和禁用信号接 IN+脚 (PWM 输入接 IN-脚)

使能和禁用信号接 IN-脚 (PWM 输入接 IN+脚)



PWM 输入接 IN+脚



PWM 输入接 IN-脚

功能描述

概述

MS30516D/MS30517S 是单通道、高速、低侧栅极驱动芯片，能够有效地驱动 MOSFET 和 IGBT 开关。芯片的设计能够大大减少击穿电流，MS30516D/MS30517S 能够提供高峰值拉、灌电流脉冲，同时提供了轨到轨驱动能力以及低传播延迟（典型值为 13ns）。

MS30516D/MS30517S 可提供峰值为 4A 的拉/灌（对称驱动）电流驱动能力，可以在 4.5V 至 18V 的电源电压范围以及 -40°C 至 125°C 的温度范围内运行。VDD 管脚上的内部欠压锁定 (UVLO) 电路可在 VDD 低于欠压阈值时，使输出保持低电平。此器件能够在低电压（例如低于 5V）下运行，并且拥有同类产品最佳的开关特性，因此非常适用于驱动诸如 GaN 功率半导体器件等宽带隙电源开关器件。

MS30516D/MS30517S 采用双输入设计，可以灵活地用同一器件实现反相（IN-管脚）和同相（IN+管脚）配置。IN+或 IN- 管脚用于控制输出的状态。未使用的输入管脚用于使能和禁用功能。出于保护目的，当输入管脚处于悬空状态时，输入管脚上的内部上拉和下拉电阻确保输出保持低电平。因此，未使用的输入管脚不能悬空，必须进行适当偏置，以确保输出使能正常工作。

MS30516D/MS30517S 的输入管脚阈值基于 TTL 和 CMOS 兼容低压逻辑。该逻辑是固定的，与 VDD 电源电压无关。高低阈值之间的宽迟滞特性提供出色的抗扰度。

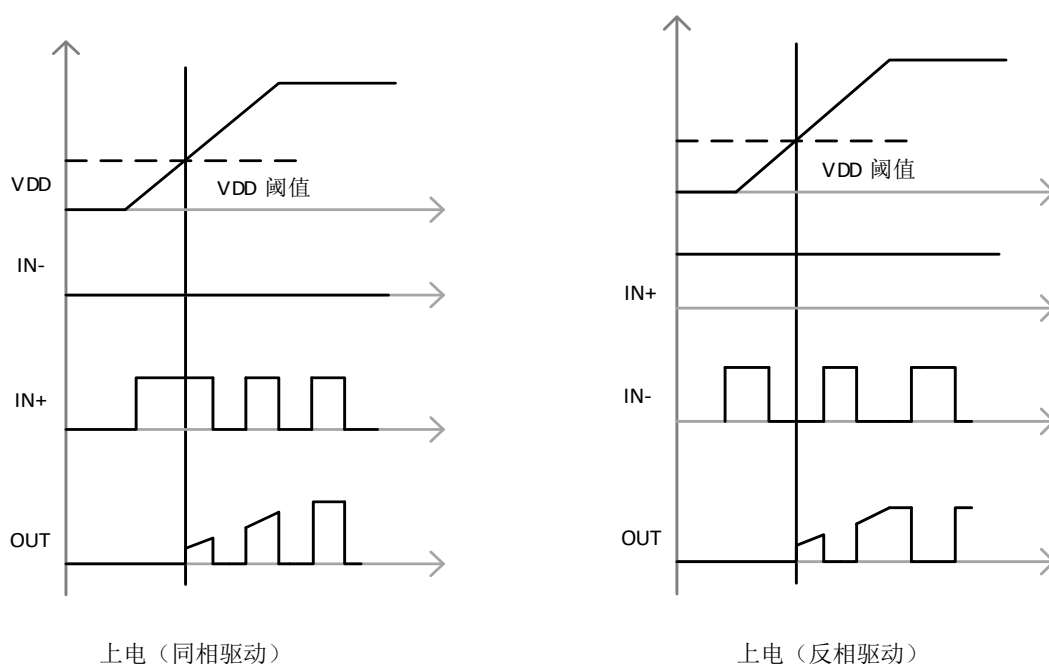
MS30516D/MS30517S 的特点和优势

特点	优势
高电流驱动能力 (高达 4A 的灌/拉电流 (对称驱动))	高电流驱动能力，可以灵活的使用 MS30516D/MS30517S 驱动各种开关器件
同类产品中最佳的传播延迟 (典型值为 13ns)	极低的脉冲传输失真
VDD 工作电压范围，从 4.5 V 扩展到 18 V	系统设计的灵活性
工作温度范围从 -40°C 至 125°C	VDD 在低电压下，可与 GaN 等宽带隙功率器件兼容
VDD UVLO 保护	在 UVLO 条件下，输出保持低电平，确保上电和关断时无毛刺
当输入管脚(INx)处于悬空状态时， 输出保持低电平	保护功能
输入管脚处理电压电平的能力 不受 VDD 管脚偏置电压的限制	系统简化，尤其是与辅助偏置电源架构相关的简化
TTL 和 CMOS 兼容逻辑阈值	增强的抗噪能力，兼容逻辑电平输入信号 (3.3V, 5V)
能够处理输入管脚上-5V 直流电压	提高在噪声环境中的稳定性

VDD 和 UVLO

MS30516D/MS30517S 具有内部欠压保护(UVLO)功能。当处于 UVLO 状态时,无论输入状态如何,都会保持所有输出为低电平。MS30516D/MS30517S 能够在低电压(例如低于 5V)下运行,并且具有同类产品最佳的开关特性,因此非常适用于驱动诸如 GaN 功率半导体器件等宽带隙电源开关器件。

MS30516D/MS30517S 是由 VDD 供电以偏置所有内部电路,为了实现最佳高速传输性能,建议使用两个 VDD 旁路电容来防止噪声问题。建议使用表面贴装元件,在靠近 MS30516D/MS30517S 的 VDD 与 GND 管脚之间使用 4.7 μ F 的陶瓷电容。此外,推荐 ESR 相对较低的电容(如 0.1 μ F)与之并联并靠近连接,以提供负载所需的高电流峰值,达到预期电流水平和开关频率,电容的并联组合应呈现低阻抗特性。



工作电源电流

MS30516D/MS30517S 具有极低的静态 I_{DD} 电流。典型工作电源电流是指在欠压闭锁(UVLO)状态和全开状态(静态和开关条件下)下的 I_{DD} 电流。器件完全开启且输出处于静态时的 I_{DD} 电流,表示当器件的所有内部逻辑电路完全工作时的最低静态 I_{DD} 电流。总电源电流是静态 I_{DD} 电流、开关引起的平均 I_{OUT} 电流以及与未使用的输入管脚上的上拉电阻相关的任何电流之和。例如,当反相输入管脚被拉低时,通过上拉电阻从 VDD 电源汲取额外电流(参见内部框图)。已知工作频率(f_{sw})和所用驱动电压下的 MOSFET 栅极(Q_G)电荷,平均 I_{OUT} 电流可以计算为 Q_G 和 f_{sw} 的乘积。

输入级

MS30516D/MS30517S 的输入管脚基于 TTL 和 CMOS 兼容的输入阈值逻辑,独立于 VDD 电源电压,该逻辑电平阈值的设置可以同时兼容 3.3V 和 5V。与传统 TTL 逻辑方案相比,更宽的迟滞可提供更强的抗扰度。

MS30516D/MS30517S 具有重要的保护功能，只要任何输入管脚处于悬空状态，相应通道的输出就会保持在低电平状态。这是通过在所有反相输入（IN-管脚）上使用 VDD 上拉电阻或在所有同相输入管脚（IN+管脚）上使用 GND 下拉电阻来实现的。

MS30516D/MS30517S 还具有双路输入配置，两个输入管脚可用于控制输出状态。输出管脚的状态取决于 IN+和 IN-管脚上的偏置。参考真值表和典型的应用图。

一旦为 PWM 驱动选择了一个输入管脚，另一个输入管脚（未使用的输入管脚）必须适当偏置以使能输出。如前所述，未使用的输入管脚不能保持悬空状态，因为只要有任何输入管脚处于悬空状态，输出就会出于保护目的而被禁用。或者未使用的输入管脚可以有效地用于使能/禁用功能。

使能功能

利用未使用的输入管脚，MS30516D/MS30517S 可以实现使能或禁用功能。当 IN+被拉低至 GND 或 IN-被拉高至 VDD 时，输出被禁用。因此，IN+管脚接高电平可使能逻辑管脚，而 IN-管脚接低电平可使能逻辑管脚。

输出级

当 VDD 为 12 V 时，MS30516D/MS30517S 提供峰值为 4A 的拉/灌（对称驱动）电流驱动能力。MS30516D/MS30517S 输出级采用混合上拉结构，利用 N 沟道和 P 沟道 MOSFET 器件并联排列。当输出从低电平变为高电平时，MS30516D/MS30517S 在很短的时间内开启 N 沟道 MOSFET，从而短暂提升峰值电流，实现快速开启。

低传播延迟

当 VDD 为 12V 时，MS30516D/MS30517S 具有同类最佳的 13ns（典型值）输入至输出传播延迟。在高频开关应用中，这是业界标准栅极驱动芯片中的最低脉冲传输失真水平。

功能模式

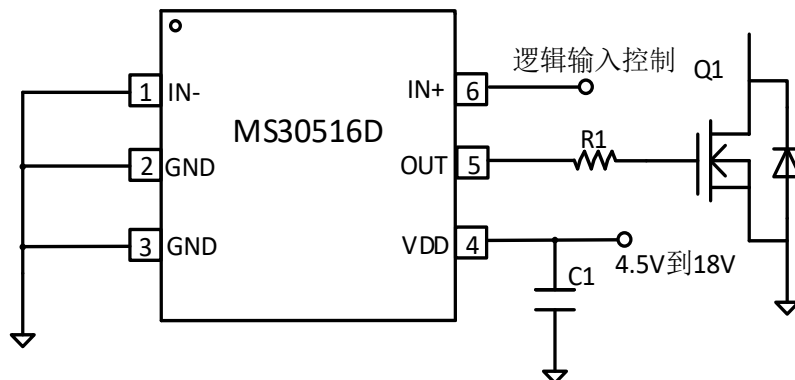
在正常模式下，输出状态取决于 IN+和 IN-管脚的状态。不同输入管脚组合的输出状态如下：

真值表

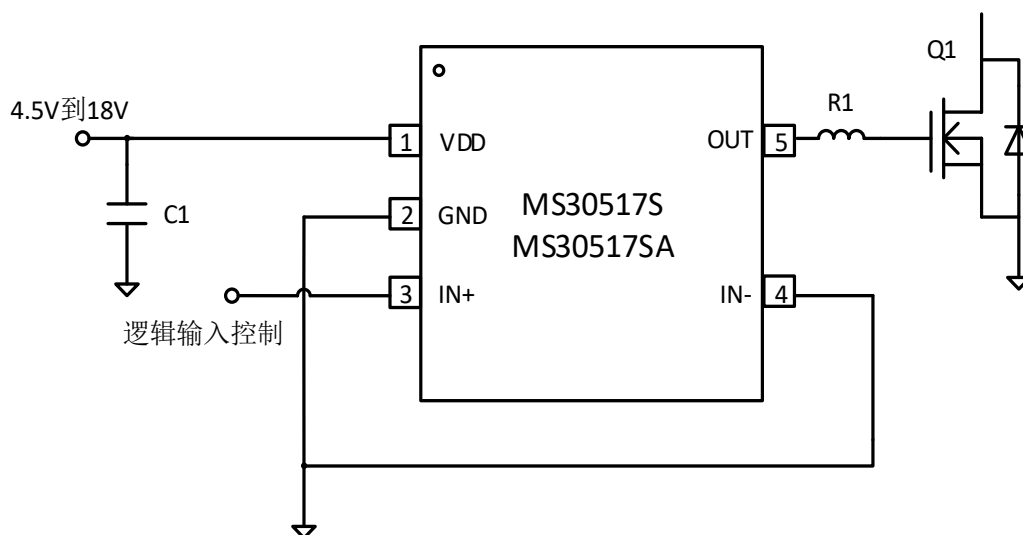
IN+管脚	IN-管脚	输出管脚
L	L	L
L	H	L
H	L	H
H	H	L
悬空	任意	L
任意	悬空	L

典型应用图

同相输入

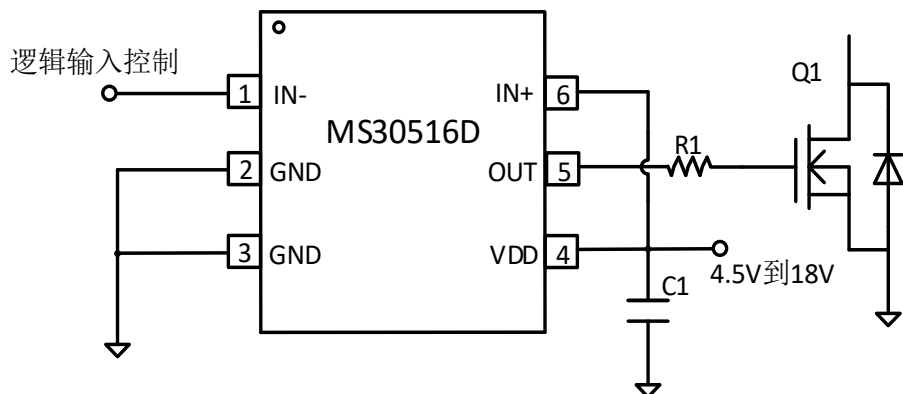


MS30516D 使用同相输入 (IN-接地作为使能脚)

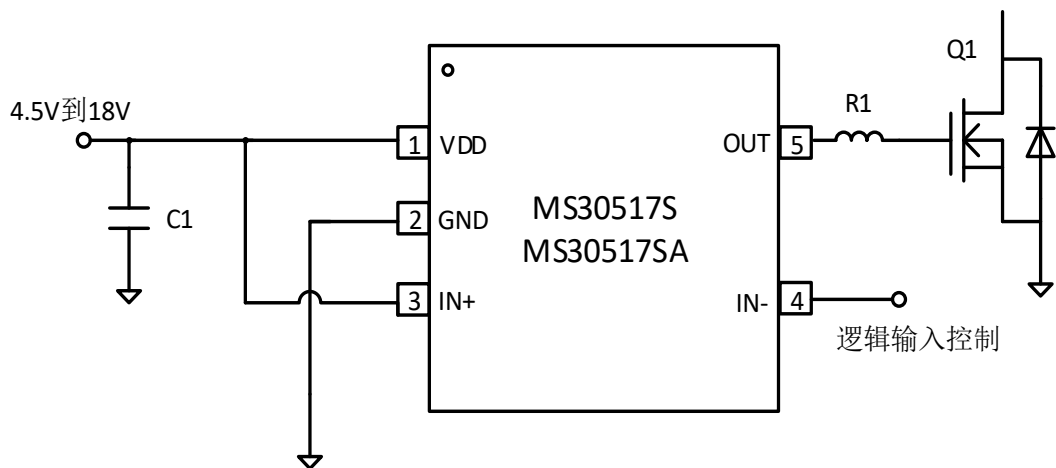


MS30517S/MS30517SA 使用同相输入 (IN-接地作为使能脚)

反相输入



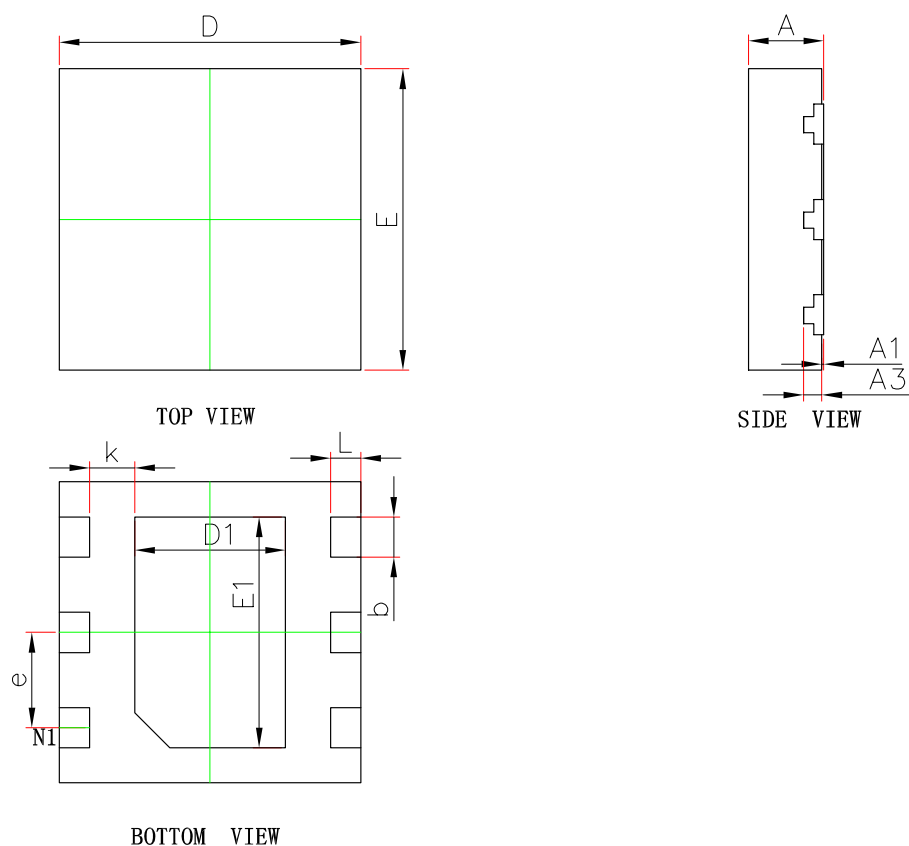
MS30516D 使用反相输入 (IN+接 VDD 作为使能脚)



MS30517S/MS30517SA 使用反相输入 (IN+接 VDD 作为使能脚)

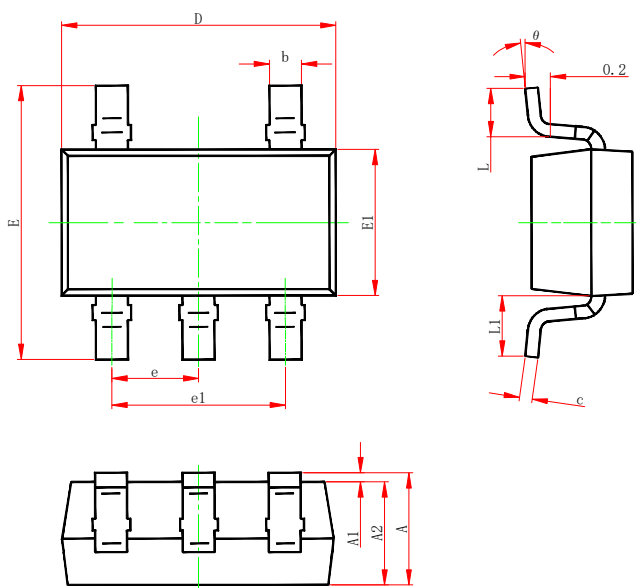
封装外形图

DFN6



符号	尺寸 (毫米)		尺寸 (英寸)	
	最小值	最大值	最小值	最大值
A	0.700	0.800	0.028	0.031
A1	0.000	0.050	0.000	0.002
A3	0.203 REF		0.008 REF	
D	2.900	3.100	0.114	0.122
E	2.900	3.100	0.114	0.122
D1	1.400	1.600	0.055	0.063
E1	2.200	2.400	0.087	0.094
b	0.350	0.450	0.014	0.018
e	0.950 BSC		0.037 BSC	
k	0.450 REF		0.018 REF	
L	0.224	0.376	0.009	0.015

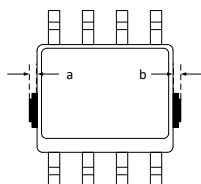
SOT23-5



符号	尺寸（毫米）		尺寸（英寸）	
	最小值	最大值	最小值	最大值
A	1.050	1.250	0.041	0.049
A1	0.000	0.100	0.000	0.004
A2	1.050	1.150	0.041	0.045
b	0.300	0.500	0.012	0.020
c	0.100	0.200	0.004	0.008
D	2.820	3.020	0.111	0.119
E1	1.500	1.700	0.059	0.067
E	2.650	2.950	0.104	0.116
e	0.950(BSC)		0.037(BSC)	
e1	1.800	2.000	0.071	0.079
L	0.300	0.600	0.012	0.024
L1	0.600REF		0.024REF	
θ	0°	8°	0°	8°

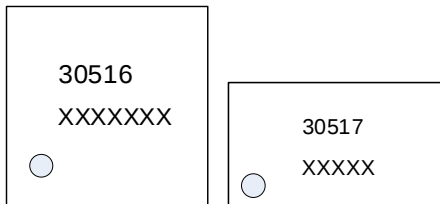
注：在封装尺寸外，允许 a、b 同时有最大 0.15mm 的废胶尺寸。

示意图如下：以 SOP8 封装为例



印章与包装规范

1. 印章内容介绍



产品型号：30516、30517

生产批号：XXXXXXX、XXXXX

2. 印章规范要求

采用激光打印，整体居中且采用 Arial 字体。

3. 包装规范说明

型号	封装形式	颗/卷	卷/盒	颗/盒	盒/箱	颗/箱
MS30516D	DFN6	5000	1	5000	8	40000
MS30517S	SOT23-5	3000	10	30000	4	120000
MS30517SA	SOT23-5	3000	10	30000	4	120000

声明

- 瑞盟保留说明书的更改权，恕不另行通知！客户在下单前应获取最新版本资料，并验证相关信息是否完整。
- 在使用瑞盟产品进行系统设计和整机制造时，买方有责任遵守安全标准并采取相应的安全措施，以避免潜在失败风险可能造成的人身伤害或财产损失！
- 产品提升永无止境，本公司将竭诚为客户提供更优秀的产品！



MOS电路操作注意事项

静电在很多地方都会产生，采取下面的预防措施，可以有效防止 MOS 电路由于受静电放电的影响而引起的损坏：

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。



+86-571-89966911



杭州市滨江区伟业路 1 号
高新软件园 9 号楼 701 室



[http:// www.relmon.com](http://www.relmon.com)