

24bit 高精度、低功耗模数转换器

产品简述

MS1242/MS1243是一款高精度、宽动态范围、 Σ - Δ 模数转换芯片，其工作电压为2.7V至5.25V，可以达到24bit无失码转换，且其有效精度可达21bit。可以广泛使用在工艺控制、量重、液体/气体化学分析、血液分析、智能发送器、便携测量仪器领域。

主要特点

- 24位无失码、21位有效精度模数转换器
- 集成 50Hz、60Hz陷波（可达-90dB）
- INL小于 0.0015%
- 可编程增益(1~128)
- 单时钟周期准备就绪
- 可编程模数转换(ADC)数据速率输出
- 外接参考电压范围可以为 0.1V~5V
- 芯片带有校正
- 集成兼容 SPI总线接口
- 低功耗，最低 0.6mW
- 4个模拟输入通道 (MS1242)
- 8个模拟输入通道 (MS1243)

应用

- 工业过程控制
- 重量计
- 液体/气体化学分析
- 血液计
- 智能变换器
- 便携式设备

产品规格分类

产品	封装形式	丝印名称
MS1242	TSSOP16	MS1242
MS1243	TSSOP20	MS1243

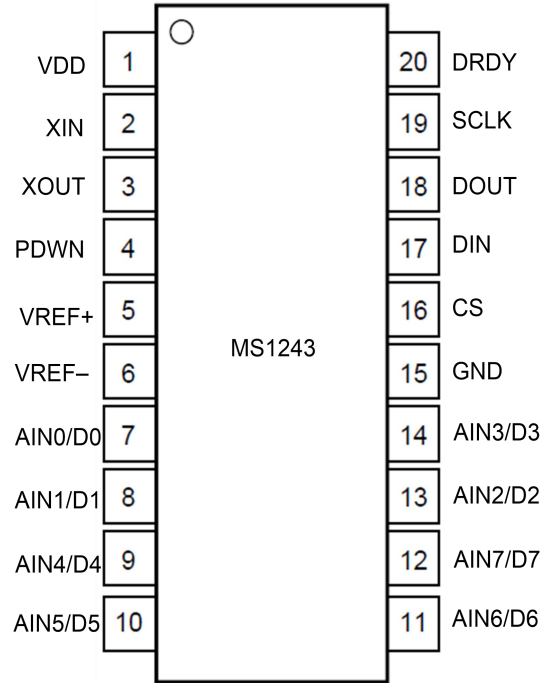
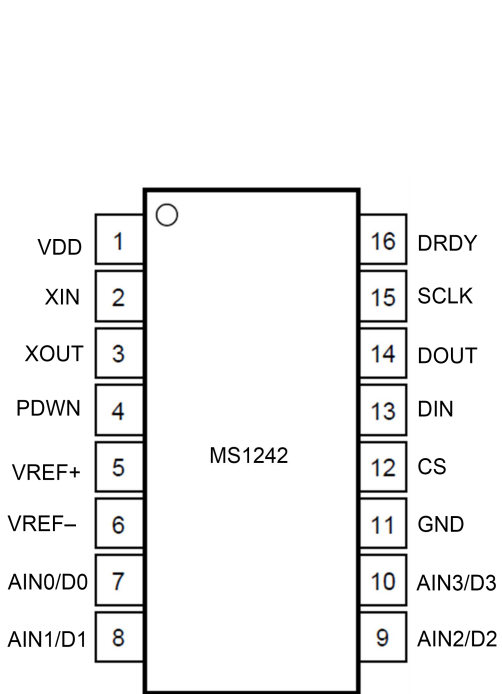


TSSOP16



TSSOP20

管脚图



管脚说明

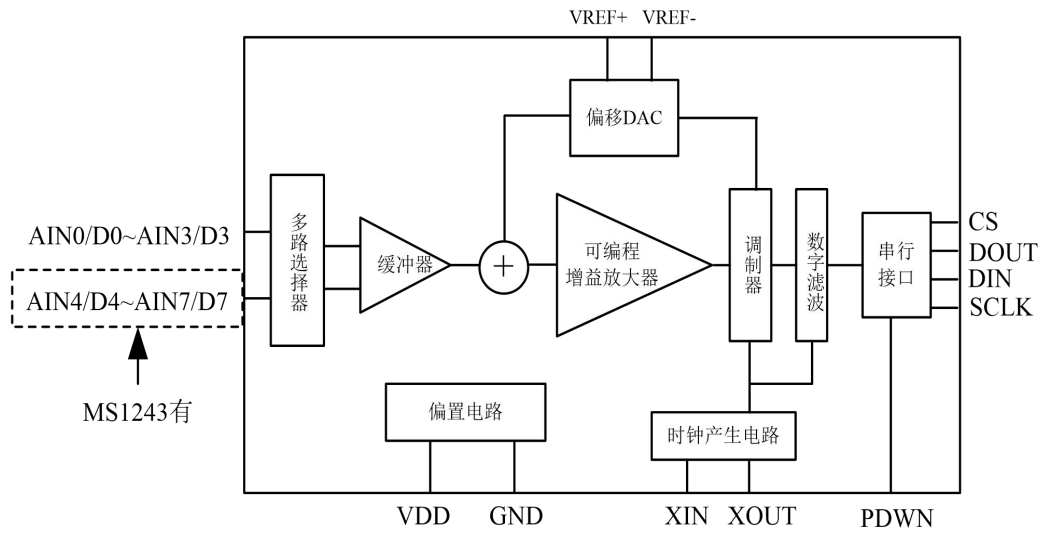
MS1242

管脚编号	管脚名称	管脚属性	管脚描述
1	VDD	--	电源
2	XIN	I	时钟输入
3	XOUT	O	时钟输出
4	PDWN	I	掉电控制信号，低有效
5	VREF+	I	模拟（正）参考电压输入端
6	VREF-	I	模拟（负）参考电压输入端
7	AIN0/D0	I	模拟输入 0/数据 IO 0
8	AIN1/D1	I	模拟输入 1/数据 IO 1
9	AIN2/D2	I	模拟输入 2/数据 IO 2
10	AIN3/D3	I	模拟输入 3/数据 IO 3
11	GND	--	地
12	CS	I	芯片选择信号，低有效
13	DIN	I	串口数据输入
14	DOUT	O	串口数据输出
15	SCLK	I	串口时钟输入，采用 Schmitt 触发器
16	DRDY	O	数据准备就绪指示信号，低有效

MS1243

管脚编号	管脚名称	管脚属性	管脚描述
1	VDD	--	电源
2	XIN	I	时钟输入
3	XOUT	O	时钟输出
4	PDWN	I	掉电控制信号，低有效
5	VREF+	I	模拟（正）参考电压输入端
6	VREF-	I	模拟（负）参考电压输入端
7	AIN0/D0	I	模拟输入 0/数据 IO 0
8	AIN1/D1	I	模拟输入 1/数据 IO 1
9	AIN4/D4	I	模拟输入 4/数据 IO 4
10	AIN5/D5	I	模拟输入 5/数据 IO 5
11	AIN6/D6	I	模拟输入 6/数据 IO 6
12	AIN7/D7	I	模拟输入 7/数据 IO 7
13	AIN2/D2	I	模拟输入 2/数据 IO 2
14	AIN3/D3	I	模拟输入 3/数据 IO 3
15	GND	--	地
16	CS	I	芯片选择信号，低有效
17	DIN	I	串口数据输入
18	DOUT	O	串口数据输出
19	SCLK	I	串口时钟输入，采用 Schmitt 触发器
20	DRDY	O	数据准备就绪指示信号，低有效

内部框图



极限参数

参数	符号	参数范围	单位
供电电压	VDD	-0.3~6	V
输入电流	Iin	100 (瞬时)	mA
输入电流	Iin	10 (连续)	mA
模拟输入电压	Ain	-0.5~VDD+0.5	V
数字输入电压	Din	-0.3~VDD+0.3	V
数字输出电压	Dout	-0.3~VDD+0.3	V
最大结温	Jt	150	°C
工作温度	TA	-40~85	°C
存储温度	Tstg	-60~150	°C
焊接温度 (10s)		260	°C

电气参数

数字特性：TMIN to TMAX, VDD: 2.7V to 5.25V。

参数	符号	测试条件	最小值	典型值	最大值	单位
数字输入高电平	VIH		$0.8 \cdot VDD$	—	VDD	V
数字输入低电平	VIL		GND	—	$0.2 \cdot VDD$	V
数字输出高电平	VIH	IOH = 1mA	$VDD - 0.4$	—		V
数字输出低电平	VIL	IOL = 1mA	GND	—	$GND + 0.4$	V
输入高电平漏电流	I _{IH}			—	10	uA
输入低电平漏电流	I _{IL}		-10	—		uA
主时钟频率	fosc		1	—	5	MHz
主时钟周期	Tosc	1/fOSC	200	—	1000	ns

电学特性: TMIN to TMAX, VDD=+5V, fMOD=19.2kHz, PGA=1, Buffer ON, fDATA=15Hz,

VREF≡(REFIN+)-(REFIN-)= +2.5V。

参数	测试条件	最小值	典型值	最大值	单位
模拟输入					
模拟输入范围	Buffer 关闭	GND-0.1		VDD+0.1	V
	Buffer 打开	GND+0.05		VDD-1.5	V
满幅输入电压 (AIN+) - (AIN-)	RANGE = 0			±VREF /PGA	V
	RANGE = 1			±VREF / (2 • PGA)	V
差分输入阻抗	Buffer 关闭		5/PGA		MΩ
	Buffer 打开		5		GΩ
带宽(-3dB)	fDATA = 3.75Hz		1.66		Hz
	fDATA = 7.50Hz		3.44		Hz
	fDATA = 15.0Hz		14.6		Hz
PGA	可选增益范围	1		128	
输入电容			9		pF
输入泄漏电流	调制器关闭, T = 25°C		5		pA
Burnout 电流源			2		uA
系统性能					
分辨率	无失码		24		Bits
积分线性度				±0.0015	% of FS
失调误差			8 ppm		of FS
失调误差漂移			0.02 ppm		of FS/°C
增益误差			0.005		%
增益误差漂移			1.0		ppm/°C
共模抑制比	直流	100			dB
	fCM = 60Hz, fDATA = 15Hz		130		dB
	fCM = 50Hz, fDATA = 15Hz		120		dB
陷波抑制比	fCM = 60Hz, fDATA = 15Hz		100		dB
	fCM = 50Hz, fDATA = 15Hz		100		dB
电源抑制比	直流	80	95		dB
参考电压输入					
REF≡REFP-REFN	RANGE = 0	0.1	2.5	2.6	V
	RANGE = 1	0.1		VDD	V
REFP,REFN 输入范围	RANGE = 0	0		VDD	V
	RANGE = 1	0		VDD	V
共模抑制比	直流		120		dB
	fVREFCM = 60Hz		120		dB
偏置电流	VREF = 2.5V		1.3		uA

参数	测试条件	最小值	典型值	最大值	单位
偏移DAC					
偏移DAC范围	RANGE = 0		$\pm VREF / (2 \cdot PGA)$		V
	RANGE = 1		$\pm VREF / (4 \cdot PGA)$		V
单调性		8			Bits
增益误差			± 10		%
增益误差漂移			1		ppm/°C
电源					
电源电压	VDD	4.75		5.25	V
电流	PGA = 1, Buffer 关闭		240	375	uA
	PGA = 128, Buffer 关闭		450	800	uA
	PGA = 1, Buffer 打开		290	425	uA
	PGA = 128, Buffer 打开		960	1400	uA
	SLEEP 模式		60		uA
	连续读数据模式		230		uA
	PDWN = 0		0.5		nA
功耗	PGA = 1, Buffer 关闭		1.2	1.9	mW
温度范围					
工作		-40		+85	°C

电学特性: TMIN to TMAX, VDD = +3V, fMOD = 19.2kHz, PGA = 1, Buffer ON, fDATA = 15Hz,

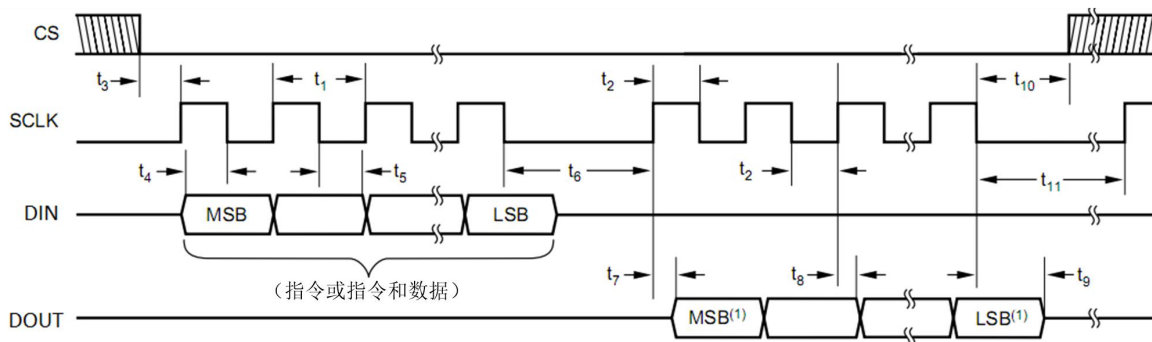
VREF \equiv (REFIN+)-(REFIN-) = +1.25V。

参数	测试条件	最小值	典型值	最大值	单位
模拟输入					
模拟输入范围	Buffer 关闭	GND-0.1		VDD+0.1	V
	Buffer 打开	GND+0.05		VDD-1.5	V
满幅输入电压 (AIN+) - (AIN-)	RANGE = 0			\pm VREF /PGA	V
	RANGE = 1			\pm VREF / (2 • PGA)	V
差分输入阻抗	Buffer 关闭		5/PGA		M Ω
	Buffer 打开		5		G Ω
带宽(-3dB)	fDATA = 3.75Hz		1.66		Hz
	fDATA = 7.50Hz		3.44		Hz
	fDATA = 15.0Hz		14.6		Hz
PGA	可选增益范围	1		128	
输入电容			9		pF
输入泄漏电流	调制器关闭, T = 25°C		5		pA
Burnout 电流源			2		uA
系统性能					
分辨率	无失码		24		Bits
积分线性度				\pm 0.0015	% of FS
失调误差			15 ppm		of FS
失调误差漂移			0.04 ppm		of FS/°C
增益误差			0.01		%
增益误差漂移			1.0		ppm/°C
共模抑制比	直流	100			dB
	fCM = 60Hz, fDATA = 15Hz		130		dB
	fCM = 50Hz, fDATA = 15Hz		120		dB
陷波抑制比	fCM = 60Hz, fDATA = 15Hz		100		dB
	fCM = 50Hz, fDATA = 15Hz		100		dB
电源抑制比	直流	75	90		dB
参考电压输入					
REF \equiv REFP-REFN	RANGE = 0	0.1	1.25	1.26	V
	RANGE = 1	0.1	2.5	2.6	V
REFP,REFN 输入范围	RANGE = 0	0		VDD	V
	RANGE = 1	0		VDD	V
共模抑制比	直流		120		dB
	fVREFCM = 60Hz		120		dB
偏置电流	VREF = 1.25		0.65		uA

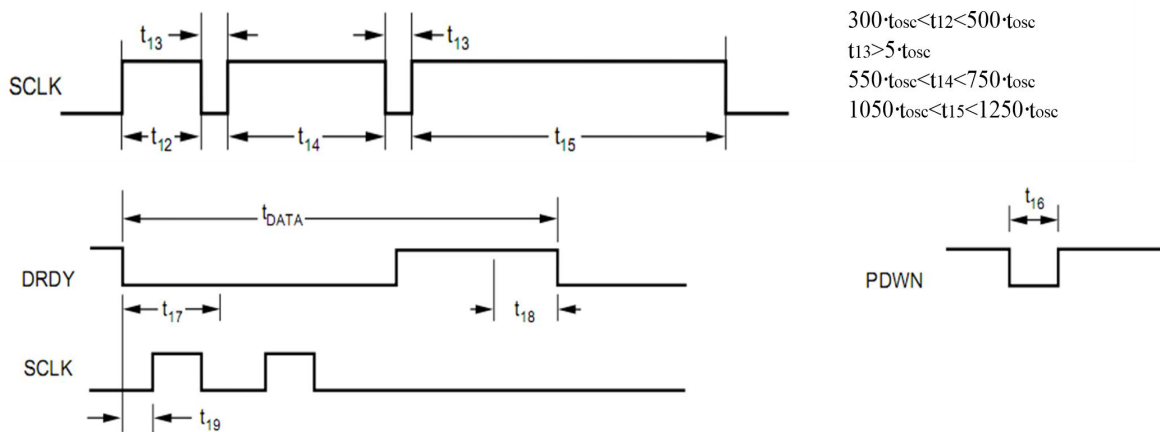
参数	测试条件	最小值	典型值	最大值	单位
偏移 DAC					
偏移 DAC 范围	RANGE = 0		$\pm V_{REF} / (2 \cdot PGA)$		V
	RANGE = 1		$\pm V_{REF} / (4 \cdot PGA)$		V
单调性		8			Bits
增益误差			± 10		%
增益误差漂移			1		ppm/°C
电源					
电源电压	VDD	2.7		3.3	V
电流	PGA = 1, Buffer 关闭		190	375	uA
	PGA = 128, Buffer 关闭		460	700	uA
	PGA = 1, Buffer 打开		240	375	uA
	PGA = 128, Buffer 打开		870	1325	uA
	SLEEP 模式		75		uA
	连续读数据模式		1130		uA
	PDWN = 0		0.5		nA
功耗	PGA = 1, Buffer 关闭		0.6	1.2	mW
温度范围					
工作		-40		+85	°C

功能描述

1. 时序图



MS1242/MS1243下降沿复位



$300 \cdot t_{osc} < t_{12} < 500 \cdot t_{osc}$
 $t_{13} > 5 \cdot t_{osc}$
 $550 \cdot t_{osc} < t_{14} < 750 \cdot t_{osc}$
 $1050 \cdot t_{osc} < t_{15} < 1250 \cdot t_{osc}$

MS1242/MS1243 时序图

MS1242/MS1243 时序表

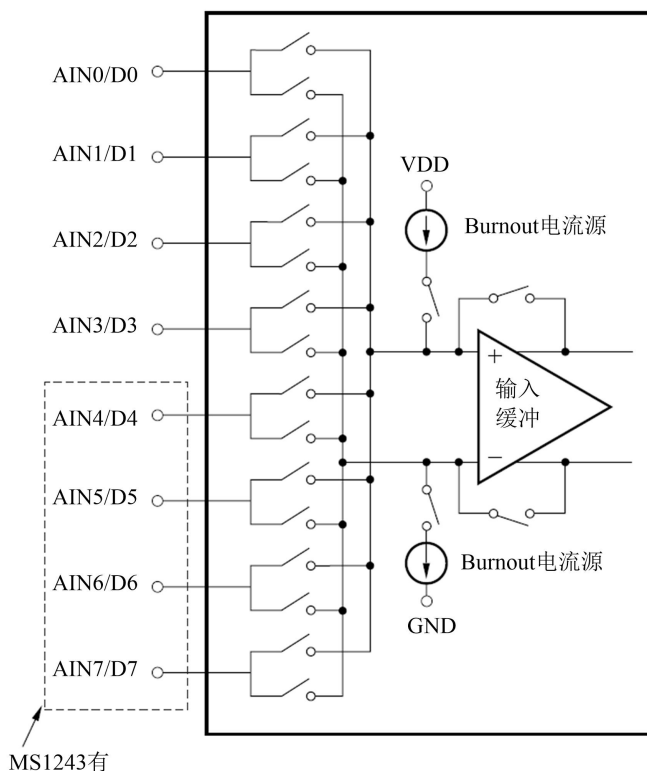
参数	描述	最小值	最大值	单位
t ₁	SCLK 时钟周期	4		t _{osc} 周期
			3	DRDY 周期
t ₂	SCLK 脉冲宽度, 高电平及低电平	200		ns
t ₃	片选信号 CS 下降沿与第一个 SCLK 沿的建立时间	0		ns
t ₄	DIN 数据的建立时间	50		ns
t ₅	DIN 数据的保持时间	50		ns
t ₆	在发送下列指令时 SDI 的最后一个 SCLK 时钟沿与 SDO 的第一个 SCLK 时钟沿: RDATA, RDATA_C, RREG, WREG	50		t _{osc} 周期
t ₇	SDO 输出数据与 SCLK 的延迟时间		50	ns
t ₈	SDO 数据的保持时间	0		ns

参数	描述	最小值	最大值	单位
t ₉	SDO 变为三态与 SCLK 时钟沿的延迟	6	10	tosc 周期
t ₁₀	片选信号 CS 保持低电平时间与最后一个 SCLK 时钟沿	0		ns
t ₁₁	当前指令的最后一个 SCLK 时钟沿到下一个指令的第一个 SCLK 时钟沿	RREG, WREG, SYNC, SLEEP, RDATA, RDATA, STOPC	4	tosc 周期
		OCALSYS, GCALSYS	8	DRDY 周期
		RESET	16	tosc 周期
t ₁₆	脉冲宽度	4		tosc 周期
t ₁₇	允许的模拟输入信号的变化到下一次有效的转换		5000	tosc 周期
t ₁₈	DOR 更新, DOR 无效	4		tosc 周期
t ₁₉	DRDY 信号变低后的首个 SCLK 时钟	10		tosc 周期
t ₁₆	SCLK 时钟	0		tosc 周期

2. 模块描述

2.1 输入多路信号选择器 (Input Multiplexer)

MS1242 的输入信号通道可以任意组合, 多路输入选择原理图如下图所示。



MS1242 可以最多配置 2 对差分输入或 3 个单端输入。例如, 如果选择 AIN1 为差分正 (负) 信号的一个输入端, 可以选择任意其它输入端为负 (正) 端输入。

MS1242 可以实现在单时钟周期内完成输入信号的选择切换、内部数字滤波器的稳定输出。为了降低切换误差, 要求在 DRDY 信号变低后立即配置 MUX 寄存器。

2.2 BURNOUT 电流源

BURNOUT 电流源用来检测输入传感器短路或开路，其打开或关闭是通过内部寄存器位(BOCS)的设置来改变，其电流大小为 2uA，当输入传感器处于短路时，BURNOUT 电流源使得 MS1242 输出近似为 0；当输入传感器处于开时，BURNOUT 电流源使得 MS1242 输出近似为满幅状态(7FFFFFFHex)。

2.3 输入缓冲器(Buffer)

在没有使能模拟输入缓冲器(Buffer)时，输入阻抗约 5MΩ/PGA。当系统要求较高的输入阻抗时，可以使能模拟输入缓冲器，此时可以将输入阻抗提高约到 5GΩ。

缓冲器的使能信号可以由内部寄存器 ACR 控制。当输入管脚 BUF 为高或 ACR 寄存器的 BUF 为高时，输入缓冲器使能，有效提高输入阻抗。如果使能缓冲器，芯片增加额外的功率消耗。消耗功率的大小与 PGA 的增益有关，PGA=1 时，增加约 50uA 电流，而 PGA=128 时，增加的电流则达 150uA。当开启缓冲器后，对输入信号的范围有所要求，此时要求输入信号的范围为 AGND+0.3V~AVDD-1.5V。

2.4 可编程增益放大器(PGA)

内部的电压增益放大器可以编程配置增益为 1,2,4,8,16,32,64,128。通过使用 PGA 可以提高有效转换精度。例如，PGA=1,5V 满幅模数转换，有效识别电压为 1uV，但如果 PGA=128,39mV 满幅模数转换时，可最小可以识别 75nV 输入电压。

2.5 偏移 DAC

为了扩展输入范围，MS1242 内部集成了一个偏移 8bitDAC(ODAC)。概念上讲，偏移 DAC 是一个可编程电压源，输入信号被 PGA 放大后，和 ODAC 输出电压相加，输入到 Δ - Σ 调制器中。

2.6 调制器(Modulator)

MS1242 的调制器是单环、2 阶 Σ - Δ 调制器，调制器的采样频率可以通过 SPEED(ACR 寄存器的 bit 5)控制，具体如下表所示：

晶振频率(MHz)	SPEED	ADC 采样频率 (kHz)	数据输出速率(Hz)			陷波频率 (Hz)
			00	01	10	
2.4576	0	19.200	15	7.5	3.75	50/60
	1	9.600	7.5	3.75	1.875	25/30
4.9152	0	38.400	30	15	7.5	100/120
	1	19.200	15	7.5	3.75	50/60

2.7 校正(Calibration)

MS1242 校正包括内部校正和外部系统校正，校正包括模数转换器偏移误差校正 (Offset calibration)、模数转换器增益校正(Gain calibration)。

内部校正通过内部校正命令：偏移和增益误差自校正(SELFCAL)、增益误差自校正(SELFGAL)、偏移误差自校正(SELFOCAL)。每个校正占用两个数据周期。在校正期间，ADC 关断外部输入端口，在 SELFCAL 和 SELFGAL 期间 PGA 必须设置为 1.当输入参考电压大于 VDD-1.5 时，必须关断输入缓冲器。

系统校正可以校正芯片内部及系统的偏移误差和增益误差，校正必须要求输入正确的输入信号后进行。系统偏移误差校正(SYSOCAL) 要求输入为差分电压为 0，芯片计算出系统的偏移误差值并写入 OCR 寄存器中，在正常转换时予以抵消。系统增益误差校正(SYSGCAL) 输入正满幅度(Full Scale)的电压，芯片计算出系统的增益误差并写入 GCR 寄存器中，在正常转换时予以抵消。每个校正占用两个数据周期。

在芯片重新上电、外部环境温度改变、增益(PGA)改变后必须进行误差校正，以保证模数转换的正确。在校正期间，RANGE bit (ACR bit2)必须设置成 0，且关闭偏移 DAC。完成校正后 DRDY 管脚变低，即 DRDY 输出低电平时表示芯片已经完成校正。校正完成后的第一个输出数据由于内部电路工作的延时导致不正确，需舍弃。

2.8 外部基准电压

MS1242 需要外接参考电压，具体值的选择通过内部 ACR 寄存器配置。参考电压接在 REFP 与 REFN 管脚上，电压不能超过芯片的电源电压。

当 VDD=5V，RANGE = 0 时，差分基准电压不能超过 2.5V；

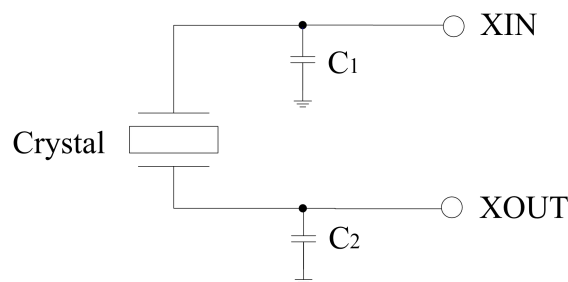
当 VDD=5V，RANGE = 1 时，差分基准电压不能超过 5.0V；

当 VDD=3V，RANGE = 0 时，差分基准电压不能超过 1.25V；

当 VDD=3V，RANGE = 1 时，差分基准电压不能超过 2.5V。

2.9 时钟产生电路(CLOCK GENERATOR)

MS1242 可以外接晶体、振荡器或时钟。如果接外部时钟，则从 XOUT 管脚输入，此时 XTAL 悬空。如果外部接晶体，电路要求如下：要求在 MCLK 及 XTAL 管脚上同时接 10~20pF 的电容。



2.10 数字滤波器(FIR)

MS1242 带有一个可编程的 FIR 滤波器。FIR 滤波器可以被配置成不同的输出速率。当使用 2.4576M 的时钟时，MS1242 的输出数据的速率可以被配置成 15Hz,7.5Hz 或者 3.75Hz。此时，FIR 滤波器可以同时 50Hz 和 60Hz 的杂波信号进行陷波滤波。

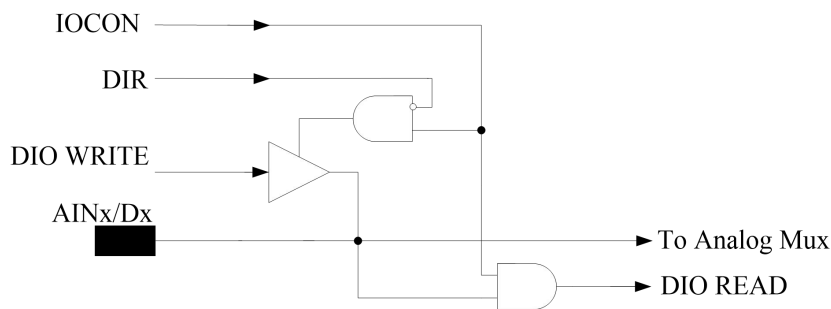
若希望得到其他的输出数据速率，则须使用其他的时钟频率。此时，陷波频率也同时跟着改变。比如，当使用默认的寄存器配置，时钟频率为 3.6864M 时候，

输出数据的频率为： $(3.6864\text{MHz}/2.4576\text{MHz}) \times 15\text{Hz} = 22.5\text{Hz}$

陷波频率为： $(3.6864\text{MHz}/2.4576\text{MHz}) \times (50\text{Hz} \text{ 和 } 60\text{Hz}) = (75\text{Hz} \text{ 和 } 90\text{Hz})$

2.11 数据 I/O 接口

MS1242/MS1243 的数据接口提供双重目的：模拟输入和数据 I/O。此端口的配置通过内部 IOCON、DIR、DIO 寄存器设置。上电默认配置为模拟输入。当端口配置为数据 I/O 时，可以用作 ADC 的自测试模式。下图是输入端口的等效电路：



2.12 串行总线接口(SPI)

MS1242 通过 SPI 总线与外部的控制器进行通讯。MS1242 只能用于从模式。总线接口是标准的四线 SPI 总线，包括 CS,SCLK,SDI 和 SDO。

2.12.1 片选信号(CS)

在与 MS1242 进行通讯前，外部的控制器必须先发出 CS 片选信号。在整个通讯期间，CS 信号必须维持为低。当 CS 信号变高后，整个 SPI 总线会被复位。CS 信号也可以被接为常低。

当 CS 信号被为恒低时，SPI 总线可以工作在三线模式，这种情况比较适合于 MS1242 和外部的微控制器进行通讯。

2.12.2 串行时钟(SCLK)

SCLK 为施密特触发，用来对 SDI 和 SDO 信号进行采样。为了防止错误的采样数据，SCLK 必须十分干净。如果在 3 个 DRDY 周期内都没有 SCLK 时钟出现，那么在下一个 SCLK 来临时，SPI 总线将被复位，进而开始下一个通讯周期。SCLK 上的一个特定的波形可以复位整个芯片。

2.12.3 数据输入(SDI)和数据输出(SDO)

SDI 和 SDO 引脚分别用来输入和输出数据。在没有使用时，SDO 为高阻态，这样就允许将 SDI 和 SDO 接在一起然后通过一个双向的总线来驱动它。需要注意的是，这种情况下不适合向 MS1242 发出 RDATA_C 指令。因为 RDATA_C 指令需要用 STOP_C 指令或者 RESET 指令来终止。而在 RDATA_C 模式下，这条双向总线会被一直占据用来向外部发送数据，所以此时无法通过总线向 MS1242 发送 STOP_C 指令或者 RESET 指令，因此就无法终止 RDATA_C 状态，除非此时 SDO 发送的数据中包含 STOP_C 或者 RESET 指令。此时 SDI 会检测到 STOP_C 或者 RESET 指令，从而终止 RDATA_C 状态。

2.13 数据准备就绪 (DRDY)

DRDY 信号用来表示内部数据寄存器的状态。当内部数据寄存器 DOR 内新的数据准备就绪时，DRDY 信号会变低。当执行完一个从内部数据寄存器 DOR 读取数据的读操作后，DRDY 信号将变高。在 DOR 寄存器的数据准备更新时 DRDY 信号也会变高，表示此时 DOR 寄存器内的数据不可用，防止在 DOR 寄存器进行更新时从 DOR 寄存器内读取数据。

DRDY 的信号也可以从 ACR 寄存器的 bit 7 来获得。

2.14 数据同步(SYNC)

MS1242 可以通过 SYNC 指令来进行数据同步。当使用 SYNC 指令进行数据同步时，数字滤波器在 SYNC 指令的最后一个 SCLK 时钟的边沿被复位，调制器将处于 RESET 状态，直到下一个 SCLK 的时钟沿被检测到。在 SYNC 后的第一个 SCLK 内的系统时钟的上升沿，数据将被同步。

2.15 上电速率(SUPPLY VOLTAGE RAMP RATE)

MS1242 的上电电路可兼容数字电源低到 1V/10ms 的上电速率，为了确保正常工作，电源电压应单调上升。

3. 寄存器描述

MS1242 通过一系列控制寄存器来配置工作方式，控制寄存器包括数据格式、多路选择信号输入、模数转换数据输出速率、校正控制等。

3.1 寄存器列表

MS1242/MS1243 内部寄存器详细列表如下表所示：

地址	寄存器	第 7 位	第 6 位	第 5 位	第 4 位	第 3 位	第 2 位	第 1 位	第 0 位
00H	SETUP	ID	ID	ID	ID	BOCS	PGA2	PGA1	PGA0
01H	MUX	PSEL3	PSEL2	PSEL1	PSEL0	NSEL3	NSEL2	NSEL1	NSEL0
02H	ACR	DRDY	U/B	SPEED	BUFEN	BIT ORDER	RANGE	DR1	DR0
03H	ODAC	SIGN	OSET6	OSET5	OSET4	OSET3	OSET2	OSET1	OSET0
04H	DIO	DIO_7	DIO_6	DIO_5	DIO_4	DIO_3	DIO_2	DIO_1	DIO_0
05H	DIR	DIR_7	DIR_6	DIR_5	DIR_4	DIR_3	DIR_2	DIR_1	DIR_0
06H	IOCON	IO7	IO6	IO5	IO4	IO3	IO2	IO1	IO0
07H	OCR0	OCR07	OCR06	OCR05	OCR04	OCR03	OCR02	OCR01	OCR00
08H	OCR1	OCR15	OCR14	OCR13	OCR12	OCR11	OCR10	OCR09	OCR08
09H	OCR2	OCR23	OCR22	OCR21	OCR20	OCR19	OCR18	OCR17	OCR16
0AH	FSR0	FSR07	FSR06	FSR05	FSR04	FSR03	FSR02	FSR01	FSR00
0BH	FSR1	FSR15	FSR14	FSR13	FSR12	FSR11	FSR10	FSR09	FSR08
0CH	FSR2	FSR23	FSR22	FSR21	FSR20	FSR19	FSR18	FSR17	FSR16
0DH	DOR2	DOR23	DOR22	DOR21	DOR20	DOR19	DOR18	DOR17	DOR16
0EH	DOR1	DOR15	DOR14	DOR13	DOR12	DOR11	DOR10	DOR09	DOR08
0FH	DOR0	DOR07	DOR06	DOR05	DOR04	DOR03	DOR02	DOR01	DOR00

3.2 寄存器详细描述

SETUP 寄存器（地址=00H，复位值=xxxx0000）PGA 控制(SETUP REGISTER)

MSB							LSB
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ID	ID	ID	ID	BOCS	PGA2	PGA1	PGA0
bit 7-4: 芯片的 ID 编号，供厂家使用 bit 3 : BOCS: Burnout 电流源设置位 0=关闭 (默认); 1= 打开 bit 2-0: PGA2: PGA1: PGA0: 可编程增益放大器设置位 000 = 1 (默认) 001 = 2 010 = 4 011 = 8 100 = 16 101 = 32 110 = 64 111 = 128							

ACR.2	: RANGE, 转换范围选择(Select)
	0 = 满幅输入(Full Scale)为+/-VREF (默认值);
	1 = 满幅输入(Full Scale)为+/- VREF/2;
ACR.1-0	: DR1/DR0, 数据输出速率(Data Rate)
	00 = 15Hz (默认值);
	01 = 7.5Hz;
	10 = 3.75Hz;
	11 = 保留(Reserved)

ODAC 寄存器 (地址=03H,复位值=00H) Offset DAC 设置

MSB							LSB
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SIGN	OSET6	OSET5	OSET4	OSET3	OSET2	OSET1	OSET0
ODAC.7	: SIGN, 符号位, 0 为正, 1 为负;						
ODAC.6-0	: 偏移量设置						

DIO 寄存器 (地址=04H,复位值=00H) 数据 I/O 设置

MSB							LSB
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DIO_7	DIO_6	DIO_5	DIO_4	DIO_3	DIO_2	DIO_1	DIO_0
如果 IOCON 寄存器配置成数字数据模式, 且 DIR 寄存器配置成输出, 此寄存器中的值的电平出现在输入数据端口上							

DIR 寄存器 (地址=05H,复位值=FFH) 数据 I/O 端口方向设置

MSB							LSB
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DIR_7	DIR_6	DIR_5	DIR_4	DIR_3	DIR_2	DIR_1	DIR_0
每位设置数据端口的输入输出状态, 当设置为 0 时, 是输出, 设置为 1 时, 是输入;							
Bit4 到 bit7 在 MS1242 中没用到							

IOCON 寄存器 (地址=06H,复位值=00H) I/O 配置寄存器

MSB							LSB
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
IO7	IO6	IO5	IO4	IO3	IO2	IO1	IO0
bit 7-0: Data I/O 配置							
0=模拟(默认)							
1=Data							
Bit4 到 bit7 在 MS1242 中没用到							

OCR0 寄存器 (地址=07H,复位值=00H) 偏移校正系数

MSB							LSB
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OCR07	OCR06	OCR05	OCR04	OCR03	OCR02	OCR01	OCR00

OCR1 寄存器（地址=08H,复位值=00H）偏移校正系数

MSB							LSB
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OCR15	OCR14	OCR13	OCR12	OCR11	OCR10	OCR09	OCR08

OCR2 寄存器（地址=09H,复位值=00H）偏移校正系数

MSB							LSB
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OCR23	OCR22	OCR21	OCR20	OCR19	OCR18	OCR17	OCR16

FSR0 寄存器（地址=0AH,复位值=59H）增益校正系数

MSB							LSB
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
FSR07	FSR06	FSR05	FSR04	FSR03	FSR02	FSR01	FSR00

FSR1 寄存器（地址=0BH,复位值=55H）增益校正系数

MSB							LSB
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
FSR15	FSR14	FSR13	FSR12	FSR11	FSR10	FSR09	FSR08

FSR2 寄存器（地址=0CH,复位值=55H）增益校正系数

MSB							LSB
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
FSR23	FSR22	FSR21	FSR20	FSR19	FSR18	FSR17	FSR16

DOR2 寄存器（地址=0DH,复位值=00H）数据输出寄存器

MSB							LSB
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DOR23	DOR22	DOR21	DOR20	DOR19	DOR18	DOR17	DOR16

DOR1 寄存器（地址=0EH,复位值=00H）数据输出寄存器

MSB							LSB
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DOR15	DOR14	DOR13	DOR12	DOR11	DOR10	DOR09	DOR08

DOR0 寄存器（地址=0FH,复位值=00H）数据输出寄存器

MSB							LSB
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DOR07	DOR06	DOR05	DOR04	DOR03	DOR02	DOR01	DOR00

4. MS1242 指令描述

MS1242 使用了一系列指令，指令完成对芯片的工作模式控制、工作速度控制、误差校正等。这些指令中有些是单条的（比如 RESET），有些则需要另外的操作数（比如 WREG 等）。

操作数：

n = 数量 (0 到 127)

r = 寄存器 (0 到 15)

x = 任意值

指令列表

指令	描述	操作码	操作数
RDATA	读数据	00000001(01H)	—
RDATA C	连续读数据	00000011(03H)	—
STOPC	停止连续读数据	00001111(0FH)	—
RREG	读寄存器“XXXX”	0001XXXX(1xH)	xxxx_nnnn(#of regs-1)
WREG	写寄存器“XXXX”	0101XXXX(5xH)	xxxx_nnnn(#of regs-1)
SELF CAL	偏移和增益自校正	11110000(F0H)	—
SELF OCAL	偏移误差自校正	11110001(F1H)	—
SELF GCAL	增益误差自校正	11110010(F2H)	—
SYSOCAL	系统偏移误差校正	11110011(F3H)	—
SYSGCAL	系统增益误差校正	11110100(F4H)	—
WAKEUP	唤醒命令	11111011(FBH)	—
DSYNC	同步命令	11111100(FCH)	—
SLEEP	Sleep 命令	11111101(FDH)	—
RESET-	复位命令	11111110(FEH)	—

注：接受模式总是高位在前，数据输出由 BIT ORDER 位设置；
of regs-1 表示需要读取寄存器个数减 1；

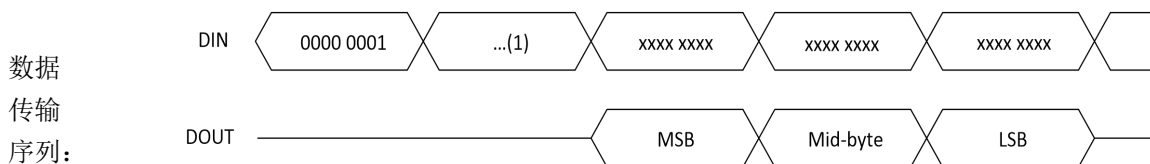
RDATA—读数据模式

描述：从 DOR 寄存器中读取最新的一次 AD 转换的值，这个值为 24bit

操作数：无

字节：1

编码：0000 0001

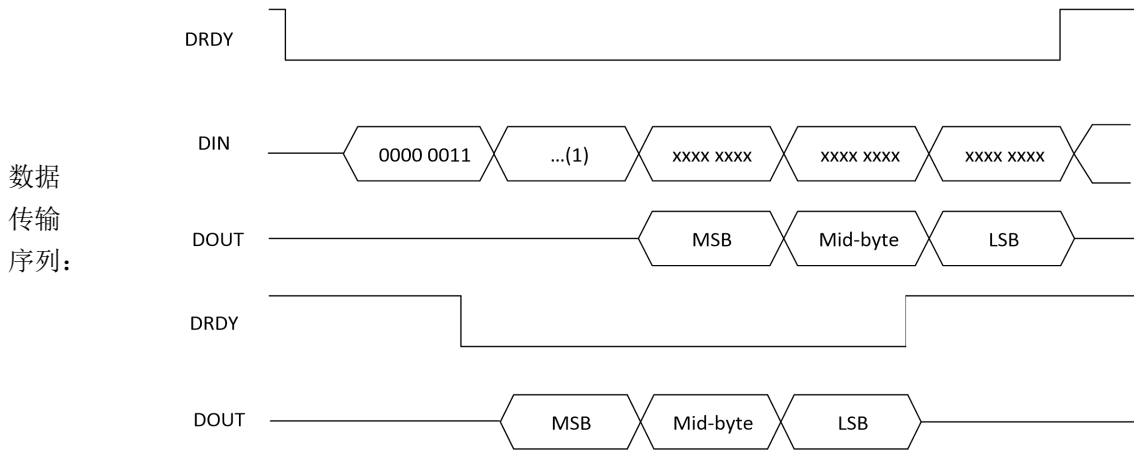


注(1)：对于等待时间，请参考时序说明

RDATAC—连续读取数据模式

描述: RDATAC 允许在每个 DRDY 信号周期内连续的从 DOR 寄存器中读取每次 AD 转换的结果。这条指令不需要在每次 DRDY 信号变低时发送 RDATA 指令。可以通过发送 STOPC 指令或者 RESET 指令来终止这条指令的执行。在 DRDY 信号变低后，至少要等到 10 个 fOSC 周期才能执行这条指令。

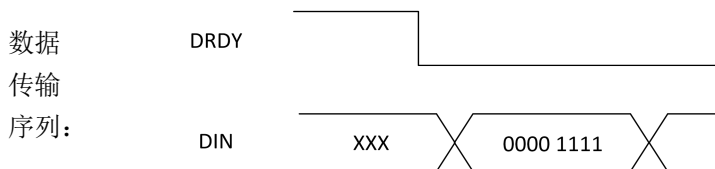
操作数: 无
字节: 1
编码: 0000 0011



注(1): 对于等待时间, 请参考时序说明

STOPC—停止连续读取数据指令

描述: 停止连续读数据模式。需要在 DRDY 信号变低后发出。
操作数: 无
字节: 1
编码: 0000 1111



RREG—读取寄存器的值

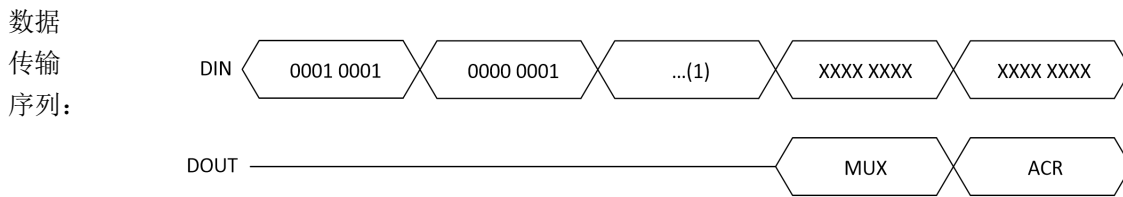
描述: 输出最多 16 个寄存器的值。首个寄存器的地址由指令的首个操作数决定。读取的寄存器的数量由指令的第二个操作数的值加 1 决定。如果这个值超过了剩余的寄存器的数目，则寄存器的地址转到首个寄存器上。

操作数: R,n

字节: 2

编码: 0001 rrrr xxxx nnnn

读取两个寄存器的值，首个寄存器的地址为 01H (MUX)



注(1): 对于等待时间，请参考时序说明

WREG—将数据写入寄存器中

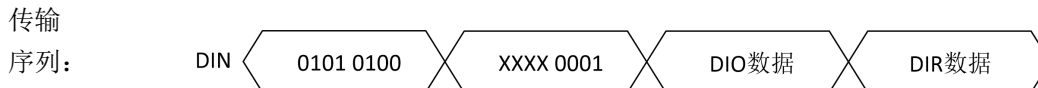
描述: 将数据写入多个寄存器中。首个寄存器的地址由指令的首个操作数决定。读取的寄存器的数量由指令的第二个操作数的值加 1 决定。

操作数: R,n

字节: 2

编码: 0101 rrrr xxxx nnnn

将数据写入到两个寄存器中，第一个寄存器的地址为 04H (DIO)

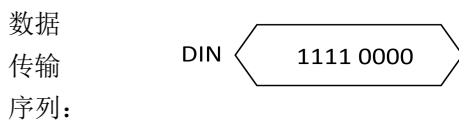

SELF CAL—偏移和增益自校正

描述: OCR 和 FSR 寄存器的值随着校正结果更新

操作数: 无

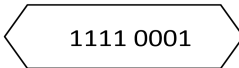
字节: 1

编码: 1111 0000



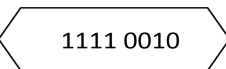
SELFOCAL—偏移误差自校正

描述: OCR 的值随着校正结果更新
 操作数: 无
 字节: 1
 编码: 1111 0001

数据
 传输序列: DIN 

SELFGCAL—增益误差自校正

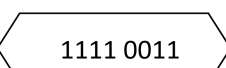
描述: FSR 的值随着校正结果更新
 操作数: 无
 字节: 1
 编码: 1111 0010

数据
 传输序列: DIN 

SYSOCAL—系统失调误差校正

描述: 对系统的失调误差进行纠正。这个时候，系统的输入信号应该为 0，MS1242 计算出 OCR 的值对失调误差进行补偿。进行完这个操作后，OCR 寄存器的值将被更新。用户必须在正确配置模拟输入端，校正后 OCR 寄存器会被自动更新。

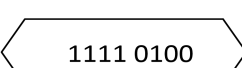
操作数: 无
 字节: 1
 编码: 1111 0011

数据
 传输序列: DIN 

SYSGCAL—系统增益误差校正

描述: 对系统的增益误差进行纠正，此时，系统的输入信号应该为满幅电压，MS1242 计算出 GCC 的值对增益误差进行补偿。进行完这个操作后，GCC 寄存器的值将被更新。用户必须在正确的模拟输入端输入满幅信号。GCC 寄存器会被自动更新。

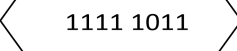
操作数: 无
 字节: 1
 编码: 1111 0100

数据
 传输序列: DIN 

WAKEUP—唤醒指令

描述： 将 MS1242 从睡眠模式中唤醒
 操作数： 无
 字节： 1
 编码： 1111 1011

数据

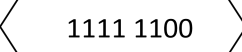
传输 DIN 

序列：

DSYNC—对 DRDY 信号进行同步

描述： 同步 MS1242 的数据
 操作数： 无
 字节： 1
 编码： 1111 1100

数据

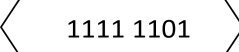
传输 DIN 

序列：

SLEEP—睡眠指令

描述： 使 MS1242 进入睡眠模式。要唤醒睡眠模式，请使用 WAKEUP 指令
 操作数： 无
 字节： 1
 编码： 1111 1101

数据

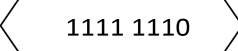
传输 DIN 

序列：

RESET—芯片复位到默认状态

描述： 寄存器复位至上电默认值，此命令停止连续读模式
 操作数： 无
 字节： 1
 编码： 1111 1110

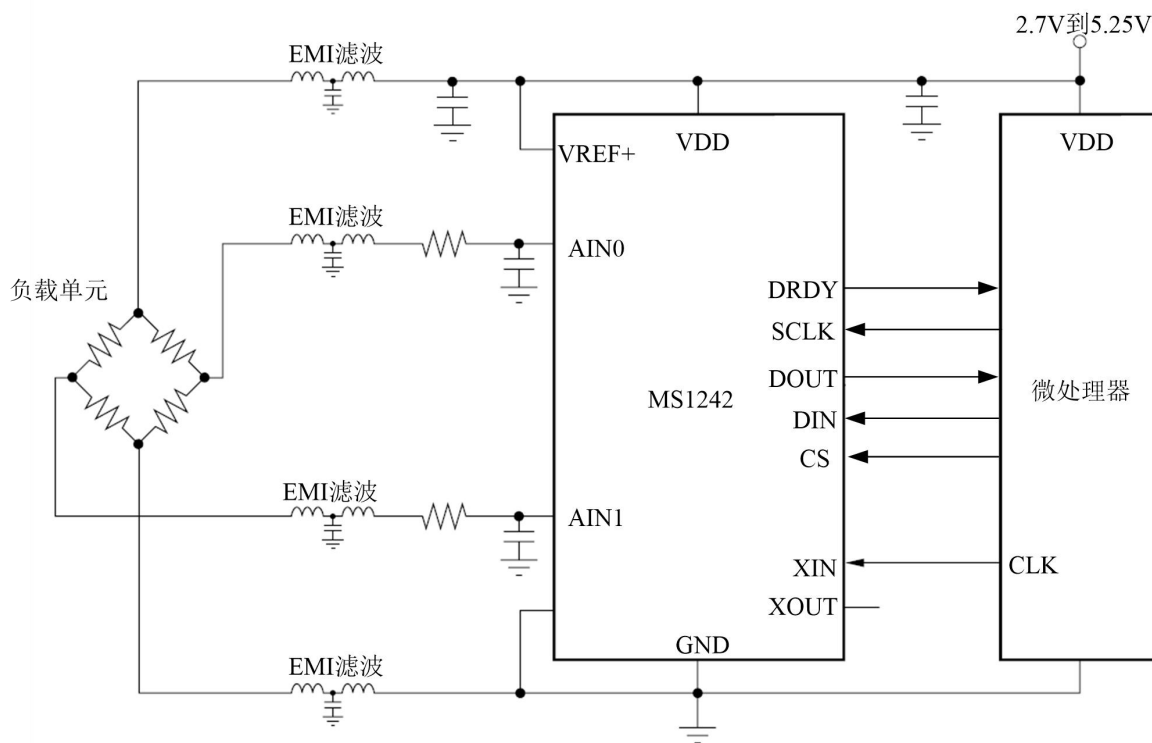
数据

传输 DIN 

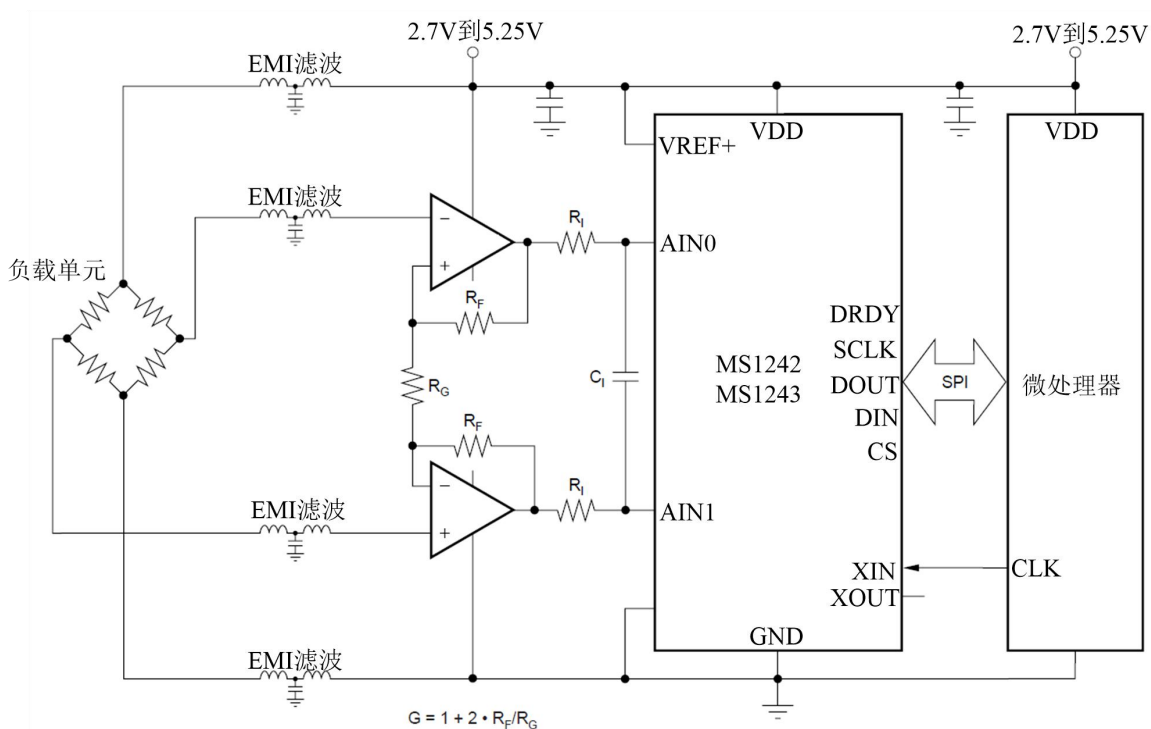
序列：

典型应用图

下图是 MS1242 在普通精度重量计的典型应用图：

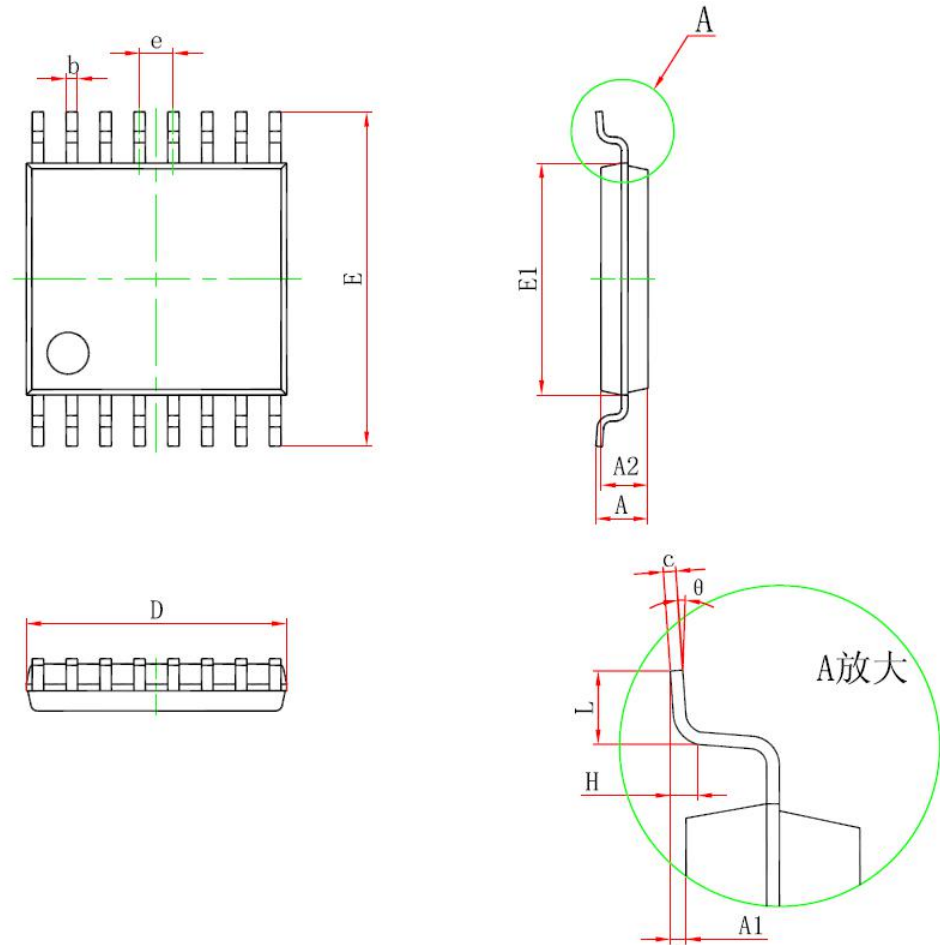


下图是 MS1242、MS1243 在高精度重量计的典型应用图：



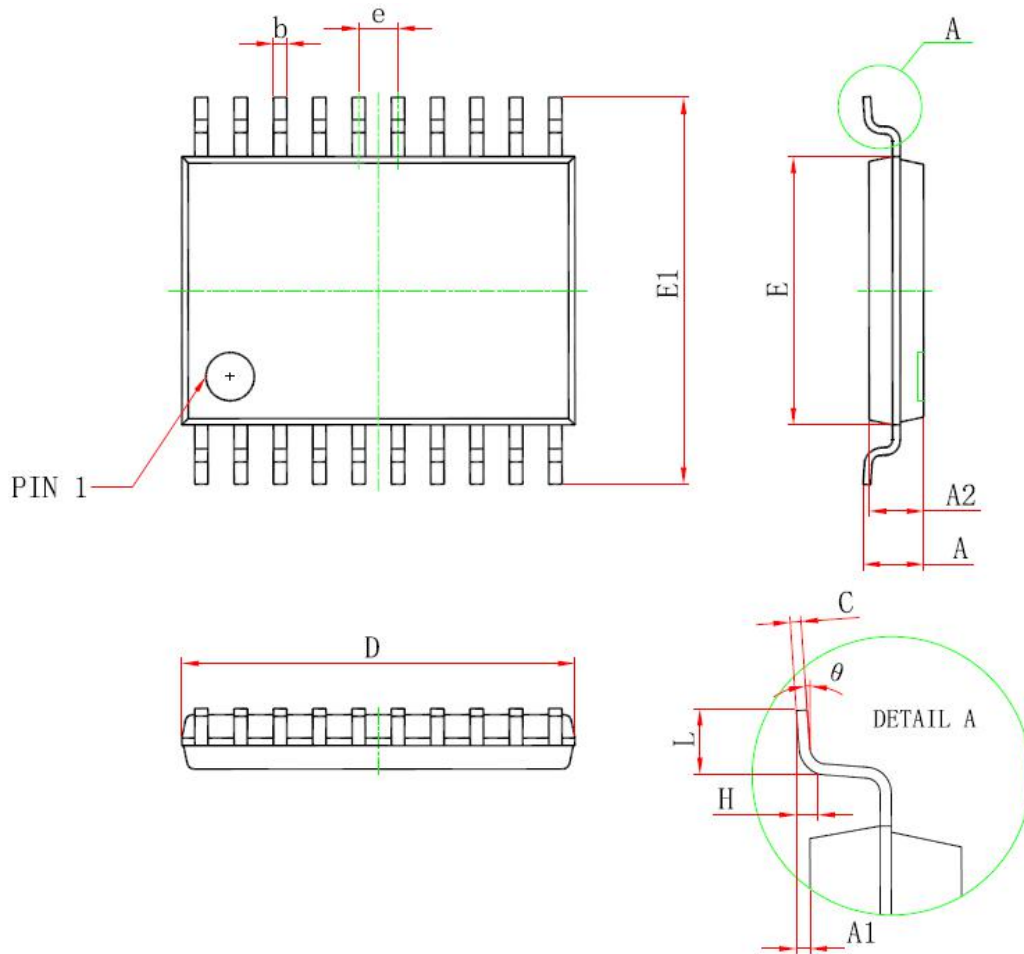
封装外形图

TSSOP16



Symbol	Dimensions in Millimeters		Dimensions in Inches	
	Min	Max	Min	Max
D	4.900	5.100	0.193	0.201
E	6.250	6.550	0.246	0.258
b	0.190	0.300	0.007	0.012
c	0.090	0.200	0.004	0.008
E1	4.300	4.500	0.169	0.177
A		1.200		0.047
A2	0.800	1.000	0.031	0.039
A1	0.050	0.150	0.002	0.006
e	0.65(BSC)		0.026(BSC)	
L	0.500	0.700	0.020	0.028
H	0.25(TYP)		0.01(TYP)	
theta	1°	7°	1°	7°

TSSOP20



Symbol	Dimensions in Millimeters		Dimensions in Inches	
	Min	Max	Min	Max
D	6.400	6.600	0.252	0.259
E	4.300	4.500	0.169	0.177
b	0.190	0.300	0.007	0.012
c	0.090	0.200	0.004	0.008
E1	6.250	6.550	0.246	0.258
A		1.200		0.047
A2	0.800	1.000	0.031	0.039
A1	0.050	0.150	0.002	0.006
e	0.65(BSC)		0.026(BSC)	
L	0.500	0.700	0.020	0.028
H	0.25(TYP)		0.01(TYP)	
θ	1°	7°	1°	7°

包装规范

一、印章内容介绍



MS1242、MS1243: 产品型号
 XXXXXXX: 生产批号

二、印章规范要求

采用激光打印，整体居中且采用 Arial 字体。

三、包装规范说明

型号	封装形式	只/卷	卷/盒	只/盒	盒/箱	只/箱
MS1242	TSSOP16	3000	1	3000	8	24000
MS1243	TSSOP20	3000	1	3000	8	24000

变更历史

版本号	修订日期	修订内容	页码
V1.1	2020/9/30	管脚描述变更	3
		更改印章图片	29
		增加变更历史模块	30
		变更格式	



MOS电路操作注意事项

静电在很多地方都会产生，采取下面的预防措施，可以有效防止 MOS 电路由于受静电放电的影响而引起的损坏：

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。



+86-571-89966911



杭州市滨江区伟业路 1 号
高新软件园 9 号楼 701 室



[http:// www.relmon.com](http://www.relmon.com)